

用“时间缩微”替代“几何缩微”

“ τ 定律”开启半导体产业新周期

摩尔定律正面临物理极限和经济效益双重挑战,全球芯片行业迫切需要探索新的演进路线。2026国际电路与系统研讨会5月25日在上海举行,华为公司董事、半导体业务部总裁何庭波在“半导体新路径探索与实践”主旨演讲中,正式发表“ τ 定律”(以下简称“ τ 定律”)。这是中国在全球半导体领域首次提出指导产业发展的新原则。基于该定律,华为过去六年已成功设计并量产了381款芯片。预计到2031年,华为高端芯片晶体管密度将达到1.4纳米制程的同等水平。 τ 定律的核心主张是以“时间缩微”替代过去主导芯片产业的“几何缩微”,标志着半导体产业从“靠尺寸堆砌性能”转向“向时间要效率”的全新阶段。



何庭波在2026国际电路与系统研讨会分享“半导体新路径探索与实践”
新华社发

什么是 τ 定律?

“ τ ”是希腊字母 τ (tau)的音译。在电路理论中, τ 代表时间常数——信号从一种状态切换到另一种状态所需要的时间。 τ 越小,电路切换越快。

要理解 τ 定律的突破性,首先要理解它与摩尔定律各自的运行规则。

摩尔定律的核心是“几何缩微”。过去50年,芯片进步主要靠把晶体管做得越来越小(比如从14纳米到3纳米),在同样的面积里塞进更多元件。

τ 定律的核心是“时间缩微”。它不再单纯追求尺寸的极限缩小,而是转向系统性降低时间常数(τ),即压缩信号在芯片内部传输的延迟。

摩尔定律提出半个多世

纪以来,引领着半导体行业演进,通过持续缩小晶体管的尺寸,以达成更高的集成度、更好的性能和更低的成本。7纳米、5纳米、3纳米、2纳米……数字越来越小,很快就逼近物理极限,而且变成过于单一的判断标准。近年来,随着晶体管的尺寸慢慢逼近物理极限,设计与制造成本飙升,摩尔演进逐渐难以为继,这成为行业面临的共同难题。

何庭波在同期发表的署名论文《多层电子系统的时间缩微理论》中直言:“单纯依靠尺寸缩小所带来的回报趋于平缓,先进制程芯片的设计预算已经超过单颗10亿美元,最先进节点上的晶体管成本也不再下降。”进入7纳米节点后,几何缩微不再

提供历史红利,光刻设备正在逼近图形化物理极限,EUV(指极紫外光,主要用于半导体制造中的先进光刻工艺)设备折旧主导了晶圆成本。

何庭波表示:“如果晶体管不能像过去继续变小,计算还能怎么继续变快? τ 定律给出的答案是,不能只看空间,也要看时间。从晶体管、电路、芯片到数据中心,看每一层能不能减少等待、传输、同步和计算的时间。”

过去摩尔定律降低 τ 的办法是“晶体管变小、电路变短、 τ 自然变小”。 τ 定律则反过来,不执着于把晶体管做小,而是从器件、电路、芯片到系统,多层面协同设计,把 τ 本身压下来。

τ 定律改变产业、改变生活

τ 定律,本质上是换道超车。它跳出了西方主导的“制程军备竞赛”,从“空间维度”转向“时间维度”寻找增长点,这为受制于光刻机瓶颈的产业提供了全新的突围思路。

τ 定律的发布,是中国半导体产业从“跟随者”向“引领者”跨越的里程碑事件。它打破了全球半导体产业长期由西方理论主导的格局,为产业发展提供了兼具创新性与可行性的中国方案。

这不仅为华为自身的半导体业务发展奠定了理论基础,更为全球芯片产业提供了全新思路,有望重塑全球半导体产业的竞争格局与发

展轨迹。

τ 定律还将从手机体验、AI智能、自动驾驶、算力成本等方面,深刻改变你我的生活。

过去几年,手机芯片陷入“性能越强、发热越狠”的怪圈,根源在于单纯堆砌晶体管数量导致功耗失控。

τ 定律是强调“时间延迟降低了多少”,减少了电信号在传输中的能量损耗,这将直接带来手机运行速度的提升和续航的改善。

在人工智能方面,AI大模型是算力耗电大户, τ 定律将提升芯片在有限功耗下的有效算力,从而节约成本。

τ 定律是如何实现的?

τ 定律的核心目标是系统性降低时间常数 τ (τ),为此,华为创新性地提出了“逻辑折叠(LogicFolding)”等核心技术,构建了贯穿器件、电路、芯片到系统层面的多层级协同优化体系,通过持续压缩信号传播时延,在不依赖极致物理制程的前提下,大幅提升晶体管密度与系统性能。

在器件层面,通过优化晶体管和互连电阻及寄生电容,从物理底层最大限度压缩器件级时间常数 τ 。

在电路层面,通过逻辑折叠技术突破传统平面布局的物理边界,显著缩短关键路径的走线长度并有效降低信号传播的电阻和电容负载,实现晶体管密度和电路性能大幅提升。

在芯片层面,通过“软件、架构、芯片”的全栈软硬协同设计,基于实际工作负载实现指令流和数据流的细粒度控制,提高系统级并行度和效率,大幅降低端到端执行时间。

在系统层面,定义灵衢总线,重构计算系统互联协议,实现超节点的统一内存编址和原生内存语义,大幅降低系统通信时延。

通俗地说,就好像把一座“平面城市”改成“立体城市”,区域之间安装了几百万台电梯,这样直达的距离就大幅缩短,从而节约了时间,提高了性能。逻辑折叠的关键点,不是简单的“叠起来”,而是重构了信息路径,让整个系统更快完成任务。 τ 定律也有点像优化交通系统,

通过修建高架、隧道(逻辑折叠),让车流(信号)跑得更快,通行效率也能倍增。

由此可以看出,在技术层面, τ 定律与摩尔定律是互补关系。两者一个主攻“空间密度”,一个主攻“时间效率”,两者合力,共同推动芯片性能的持续进步。在产业逻辑层面, τ 定律是对摩尔定律在物理极限时代的必要补充。

在过去六年的实践中,基于 τ 定律,华为已成功设计并量产了381款芯片,广泛覆盖了千行百业的需求。其中,将于2026年秋季面世的麒麟芯片,率先采用了逻辑折叠技术,性能大幅提升。预计到2031年,基于 τ 定律的高端芯片晶体管密度将达到1.4纳米制程的同等水平。

“没有一个公司能完成所有答案”

在 τ 定律指导下,过去六年华为研发了381款芯片,覆盖通信、手机、通用计算和AI计算等领域。今年秋天,华为要发布新的麒麟芯片,这是第一个完整采用逻辑折叠技术的芯片。

“不能说它相当于2纳米,因为它不是用几何尺度来衡量的。但是从性能、集成度、晶体管密度等方面看,相比过去的提升是‘跳跃性’的。”何庭波说,“未来5年到10年,我们有信心在 τ 定律下稳步前进。这条路径的‘加速度’跟另外一条路径相比,会越来越好。”

后摩尔时代的竞争,不会只看

谁的晶体管更小,还会看谁的信息系统更高效。

τ 定律是华为基础理论研究的一个突破,这不仅对芯片本身很重要,对整个半导体行业同样很重要。她表示:“未来5年到10年,半导体行业将遇到瓶颈,一定会认真思考 τ 定律这条路径。”

摩尔定律从提出到被行业接受,用了10年的时间。何庭波说:“未来十年,没有一个公司能完成所有答案,欢迎学术界、产业界志同道合的伙伴加入,面对电子行业的共同难题,协力探索前行之路。”